

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-079300

(43)Date of publication of application : 09.04.1988

(51)Int.Cl.

G11C 29/00

G11C 11/34

(21)Application number : 61-223570

(71)Applicant : HITACHI VLSI ENG CORP
HITACHI LTD

(22)Date of filing : 24.09.1986

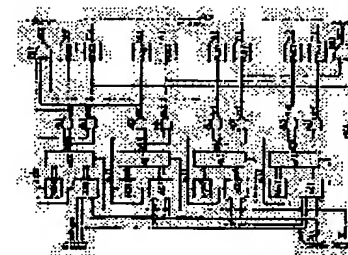
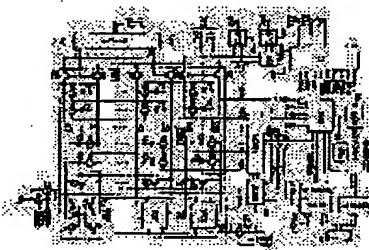
(72)Inventor : MURANAKA MASAYA

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PURPOSE: To improve a defect relief rate by using a redundancy address switching circuit including a defect address storage circuit, an address comparison circuit and a standby memory array drive circuit for a standby word line and a standby data line according to a prescribed bit of each defective address storage circuit.

CONSTITUTION: Four standby word lines Wr0WwR3 and four sets of standby complementary data lines are provided and they are selected and designated by a redundancy address changeover circuit RAC. The circuit RAC is provided with 4 sets of unit circuits including defect address storage circuits ROM0WROM 3, address comparison circuits AC0WAC3, thereby word line drive circuits RWD 0WRWD3 standby data line selection circuits RDS0WRDS3 and any of the standby word line and the standby complementary data lines is assigned without waste. Thus, the defect relief rate of a dynamic RAM is enhanced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP) ⑪ 特許出願公開
⑫ 公開特許公報(A) 昭63-79300

⑬ Int. Cl.⁴ 識別記号 庁内整理番号 ⑭ 公開 昭和63年(1988)4月9日
G 11 C 29/00 3 0 1 B-7737-5B
11/34 3 7 1 D-8522-5B
審査請求 未請求 発明の数 1 (全12頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 昭61-223570

⑰ 出 願 昭61(1986)9月24日

⑱ 発 明 者 村 中 雅 也 東京都小平市上水本町1448番地 日立超エル・エス・アイ
エンジニアリング株式会社内

⑲ 出 願 人 日立超エル・エス・アイ 東京都小平市上水本町1448番地
エンジニアリング株
式会社

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

1. 不良アドレスを記憶したその所定の記憶ビットによって上記不良アドレスが予備ワード線又は予備データ線のいずれに切り換えられるべきものであるかを記憶する不良アドレス記憶回路と、上記不良アドレス記憶回路の上記所定のビットの出力信号に従って供給されるロウアドレス又はコラムアドレスと上記不良アドレスとを選択的に比較するアドレス比較回路と、上記アドレス比較回路から出力されるアドレス一致信号及び上記不良アドレス記憶回路の上記所定のビットの出力信号に従って選択的に動作状態とされ対応する予備ワード線又は予備データ線を選択状態とする冗長メモリアレイ駆動回路とを含む冗長アドレス切り換え回路を具備することを特徴とする半導体記憶装置。

2. 上記冗長アドレス切り換え回路、予備ワード

線及び予備データ線は、それぞれ同数ずつ設けられるものであることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体記憶装置に関するもので、例えば、予備メモリアレイを内蔵するダイナミック型RAM(ランダム・アクセス・メモリ)に利用して有効な技術に関するものである。

(従来の技術)

ダイナミック型RAM等の半導体記憶装置においては、メモリアレイに予備ワード線及び予備データ線が設けられ、例えば欠陥メモリセルが結合されるワード線又はデータ線を予備ワード線又は予備データ線に切り換えるいわゆる欠陥ビット救済が行われ、製品歩留りの向上が図られる。

このような予備メモリアレイを備えるダイナミック型RAMについては、例えば日経マイクロニクス、1985年6月3日付「日経エレクトロニクス」の209頁〜231頁に記載されてい

る。

(発明が解決しようとする問題点)

上記に記載されるような欠陥救済機能を有するダイナミック型RAMには、第3図に示されるように、例えばそれぞれ二組づつの予備ワード線 $W_r 0$ 、 $W_r 1$ 及び予備データ線 $D_r 0$ 、 $D_r 1$ が設けられる。また、これらの予備ワード線及び予備データ線に切り換えられる不良アドレスを記憶する不良アドレス記憶回路ROM0～ROM3と、それぞれの不良アドレスと外部から供給されるアドレス信号によって形成される相補内部アドレス信号 $\bar{a}x 0 \sim \bar{a}x 1$ 又はアドレス信号 $a_y 0 \sim a_y 1$ とを比較するアドレス比較回路AC0～AC3及びこれらのアドレス比較回路の比較結果に従って対応する予備ワード線又は予備データ線を選択状態とするための予備ワード線駆動回路RWD0、RWD1及び予備データ線選択回路RDS0、RDS1とからなる冗長アドレス切り換え回路RACが設けられる。この冗長アドレス切り換え回路RACは、メモリアレイに高集積化されて設け

られる予備ワード線及び予備データ線に比較して、半導体基板上の大きなエリアを占有する。このため、ダイナミック型RAMに設けられる予備ワード線及び予備データ線の数は、製品歩留り率と冗長アドレス切り換え回路RACのレイアウト占有率がいずれも所定の条件を満足するような適当な数に設定される。

ところが、上記のような従来のダイナミック型RAMにおいては、各予備ワード線及び予備データ線に対して冗長アドレス切り換え回路RACの不良アドレス記憶回路、アドレス比較回路及び予備ワード線駆動回路又は予備データ線選択回路が固定的に割り当てられる。このため、例えば欠陥ワード線又は欠陥データ線のいずれか一方の数が3つ以上になった場合、他方の冗長構成に余裕があるにもかかわらず、欠陥救済することができない。

この発明の目的は、欠陥救済率の向上を図った半導体記憶装置を提供することにある。

この発明の前記ならびにその他の目的と新規な

特徴は、この明細書の記述および添付図面から明らかになるであろう。

(問題点を解決するための手段)

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、不良アドレス記憶回路、アドレス比較回路及び予備メモリアレイ駆動回路を含む冗長アドレス切り換え回路を、それぞれの不良アドレス記憶回路の所定のビットに従って、予備ワード線用及び予備データ線用として選択的に用いることができるようにするものである。

(作 用)

上記した手段によれば、冗長アドレス切り換え回路を、無駄なく用いることができるため、比較的レイアウト占有率の少ない予備ワード線及び予備データ線を冗長アドレス切り換え回路の設置数と同数に増設することによって、半導体記憶装置の欠陥救済率を向上でき、その製品歩留りを向上できるものである。

(実施例)

第2図には、この発明が適用されたダイナミック型RAMの一実施例のブロック図が示されている。同図の各回路素子は、公知のCMOS(相補型MOS)集積回路の製造技術によって、特に制限されないが、単結晶シリコンのような1個の半導体基板上において形成される。同図において、チャンネル(バックゲート)部に矢印が付加されたMOSFETはPチャンネル型であり、矢印の付加されないNチャンネルMOSFETと区別される。

この実施例のダイナミック型RAMには、特に制限されないが、4本の予備ワード線 $W_r 0 \sim W_r 3$ と4組の予備相補データ線 $D_r 0 \cdot D_r 1 \sim D_r 3 \cdot D_r 3$ が設けられる。これらの予備ワード線及び予備相補データ線は、冗長アドレス切り換え回路RACによって選択・指定される。冗長アドレス切り換え回路RACには、後述するように、それぞれ不良アドレス記憶回路、アドレス比較回路、予備ワード線駆動回路及び予備データ線選択回路を含む4組の単位回路が設けられる。こ

これらの単位回路は、それぞれの不良アドレス記憶回路の所定のビットに従って、予備ワード線又は予備相補データ線に選択的に対応付けられる。これにより、冗長アドレス切り換え回路RACの4組の単位回路は、予備ワード線及び予備相補データ線のいずれかに無駄なく割り当てられるため、ダイナミック型RAMとしての欠陥救済率が向上される。

また、この実施例のダイナミック型RAMには、ダイナミック型RAMに欠陥メモリセルが検出されその不良アドレスが冗長アドレス切り換え回路RACのいずれかの不良アドレス記憶回路に登録されたことを記憶する冗長イネーブル回路RENが設けられ、この冗長イネーブル回路RENの出力信号として得られる内部制御信号 r_0 によって、冗長アドレス切り換え回路RACのアドレス比較動作が制御される。これにより、ダイナミック型RAMに欠陥メモリセルが検出されず不良アドレスの登録が行われなかった場合に、不良アドレス記憶用のROMが初期状態(例えばアドレス"0

")であることから特定のアドレス(この場合アドレス"0")が不本意に予備メモリアレイに切り換えられてしまうことを防止することができる。この内部制御信号 r_0 は、図示されない号経路を介してタイミング制御回路TCにも供給される。これにより、内部タイミング信号のうちのいくつかは、内部制御信号 r_0 に従って選択的に運送されて形成される。

さらに、この実施例のダイナミック型RAMでは、アドレスマルチプレクス方式が採られ、Xアドレス信号 $AX_0 \sim AX_1$ 及びYアドレス信号 $AY_0 \sim AY_1$ が同一の外部端子A0～A1を介して供給される。また、自動リフレッシュ動作モードにおいて、リフレッシュすべきワード線を指定するためのリフレッシュアドレスカウンタREFCと、このリフレッシュアドレスカウンタREFCにより形成されるリフレッシュアドレス信号 $c_{x0} \sim c_{x1}$ 及びXアドレス信号 $AX_0 \sim AX_1$ を選択的にロウアドレスバッファRADBに伝達するためのアドレスマルチプレクサAMXが設け

られる。

第2図において、特に制限されないが、メモリアレイMEMARYは2交点方式とされ、第2図の水平方向に配置される $n+1$ 組の相補データ線 $D_0 \cdot \overline{D_0} \sim D_n \cdot \overline{D_n}$ 及び4組の予備相補データ線 $Dr_0 \cdot \overline{Dr_0} \sim Dr_3 \cdot \overline{Dr_3}$ と、垂直方向に配置される $m+1$ 本のワード線 $W_0 \sim W_m$ 及び4本の予備ワード線 $Wr_0 \sim Wr_3$ が設けられる。これらの相補データ線とワード線の交点には、 $(m+5) \times (n+5)$ 個のメモリセルが格子状に配置される。それぞれの相補データ線には、相補データ線 $D_0 \cdot \overline{D_0}$ 、 $D_n \cdot \overline{D_n}$ 及び予備相補データ線 $Dr_0 \cdot \overline{Dr_0}$ に代表して示されるように、アドレス選択用MOSFET Q_m 及び情報記憶用キャパシタ C_0 により構成される $m+5$ 個のメモリセルが、所定の規則性をもってそれぞれ結合される。

各相補データ線の非反転信号線及び反転信号線の間には、MOSFET $Q_7 \sim Q_9$ に代表される $n+5$ 個のスイッチMOSFETからなるプリチ

ャージ回路PCが設けられる。これらのスイッチMOSFETのゲートは共通接続され、後述するタイミング制御回路TCから、タイミング信号 ϕ_{pc} が供給される。このタイミング信号 ϕ_{pc} は、ダイナミック型RAMの非動作状態においてハイレベルとされ、動作状態においてロウレベルとされる。これにより、タイミング信号 ϕ_{pc} がハイレベルとされるダイナミック型RAMの非動作状態において、スイッチMOSFET $Q_7 \sim Q_9$ がオン状態となり、相補データ線の両信号線を短絡して電源電圧 V_{cc} の約 $1/2$ のようなハーフプリチャージレベルとする。このため、各相補データ線の両信号線のレベルは、このハーフプリチャージレベルからハイレベル又はロウレベルに向かって変化され、読み出し動作が高速化される。

センスアンプSAは、 $n+5$ 個の単位回路USAにより構成される。各センスアンプ単位回路USAは、第2図に例示的に示されるように、PチャンネルMOSFET Q_3 、 Q_4 及びNチャンネルMOSFET Q_5 、 Q_6 からなるCMOSラッ

チ回路で構成される。これらのラッチ回路の入出力ノードは、対応する相補データ線 $D_0 \cdot \overline{D_0} \sim D_n \cdot \overline{D_n}$ 又は予備相補データ線 $D_{r0} \cdot \overline{D_{r0}} \sim D_{r3} \cdot \overline{D_{r3}}$ にそれぞれ結合される。また、上記センスアンプSAの単位回路には、特に制限されないが、並列形態のPチャンネルMOSFET Q_1 , Q_2 を介して電源電圧 V_{cc} が供給され、並列形態のNチャンネルMOSFET Q_{16} , Q_{17} を介して回路の接地電圧が供給される。これらの駆動MOSFET Q_1 , Q_2 及びMOSFET Q_{16} , Q_{17} は、同じメモリマツト内に設けられる単位回路に対して共通に用いられる。すなわち、同じメモリマツトに含まれるセンスアンプ単位回路USAを構成するPチャンネルMOSFET Q_1 , Q_2 及びNチャンネルMOSFET Q_{16} , Q_{17} のソースは、共通ソース線PS及びNSにそれぞれ共通接続される。

上記MOSFET Q_1 , Q_{16} のゲートには、センスアンプSAを活性化させるための相補タイミング信号 ϕ_{pa1} , $\overline{\phi_{pa1}}$ が供給され、MOSFET

Q_2 , Q_{17} のゲートには、上記タイミング信号 ϕ_{pa1} , $\overline{\phi_{pa1}}$ よりやや遅れて形成される相補タイミング信号 ϕ_{pa2} , $\overline{\phi_{pa2}}$ が供給される。これにより、センスアンプSAの動作は2段階に行われる。すなわち、タイミング信号 ϕ_{pa1} , $\overline{\phi_{pa1}}$ が供給される第1段階において、比較的小さいコンダクタンスを持つようにされるMOSFET Q_1 及び Q_{16} がオン状態となり、その電流制限作用によって、メモリセルから対応する相補データ線に与えられる微小読み出し電圧は不所望なレベル変動を受けることなく増幅される。上記センスアンプSAの増幅動作によって相補データ線の電位差がある程度大きくされた後、タイミング信号 ϕ_{pa2} , $\overline{\phi_{pa2}}$ が供給される。これにより、比較的大きなコンダクタンスを持つMOSFET Q_2 , Q_{17} がオン状態となる。センスアンプSAの増幅動作は、MOSFET Q_2 , Q_{17} がオン状態になることによって速くされ、相補データ線のレベルは急速にハイレベル又はロウレベルに推移する。このように、センスアンプSAの増幅

動作を2段階に分けて行わせることによって、相補データ線の不所望なレベル変化を防止しつつ、記憶データの高速読み出しを実現することができる。

すべての相補データ線は、上記センスアンプSAの反対側において、カラムスイッチCSWの対応するスイッチMOSFET対に結合される。カラムスイッチCSWは、NチャンネルMOSFET Q_{10} , Q_{11} , Q_{12} , Q_{13} 及び Q_{14} , Q_{15} に代表されるような $n+5$ 組のスイッチMOSFET対により構成され、カラムアドレス信号によって指定される一組の相補データ線又は予備相補データ線と共通相補データ線 $CD \cdot \overline{CD}$ を選択的に結合させる。これらのスイッチMOSFET対のうち、相補データ線 $D_0 \cdot \overline{D_0} \sim D_n \cdot \overline{D_n}$ に対応するスイッチMOSFET Q_{10} , $Q_{11} \sim Q_{12}$, Q_{13} の共通接続されたゲートには、カラムデコードCDCRによって形成されるデータ線選択信号 $Y_0 \sim Y_n$ が供給される。また、スイッチMOSFET Q_{14} , Q_{15} に代表され

予備相補データ線 $D_{r0} \cdot \overline{D_{r0}} \sim D_{r3} \cdot \overline{D_{r3}}$ に対応する4組のスイッチMOSFET対の共通接続されたゲートには、後述する冗長アドレス切り換え回路RACの対応する予備データ線選択信号 $Y_{r0} \sim Y_{r3}$ が供給される。

一方、メモリアレイM-ARYの同じ行に配座されるメモリセルのアドレス選択用MOSFET Q_m のゲートは、対応するワード線 $W_0 \sim W_m$ 又は予備ワード線 $W_{r0} \sim W_{r3}$ に結合される。ワード線 $W_0 \sim W_m$ は、ロウアドレスデコードに結合されそのうちロウアドレス信号によって指定される一本のワード線が選択される。また、予備ワード線 $W_{r0} \sim W_{r3}$ は、後述する冗長アドレス切り換え回路RACの対応する予備ワード線駆動回路 $RWD_0 \sim RWD_3$ によって選択状態とされる。

特に制限されないが、ロウアドレスデコードは2段階構成とされ、1次ロウアドレスデコード $RDCR_1$ と2次ロウアドレスデコード $RDCR_2$ に

よって構成される。1次ロウアドレスデコーダRDCR1は、下位2ビットの相補内部アドレス信号 $\bar{a} \times 0$ 及び $\bar{a} \times 1$ （ここで例えば外部アドレス信号AX0と同相の内部アドレス信号 $a \times 0$ と逆相の内部アドレス信号 $\bar{a} \times 0$ をあわせて相補内部アドレス信号 $\bar{a} \times 0$ と表す。以下同じ）をデコードして、タイミング制御回路TCから供給されるタイミング信号 $\phi \times$ に同期された4つのワード線選択タイミング信号 $\phi \times 00$ ないし $\phi \times 11$ を形成する。これらのワード線選択タイミング信号は、上位の相補内部アドレス信号 $\bar{a} \times 2 \sim \bar{a} \times 1$ をデコードする2次ロウアドレスデコーダRDCR2により形成される共通選択信号と組み合わせられることによって、Xアドレス信号AX0～AX1に指定される一本のワード線を選択するためのワード線選択信号(W0～Wm)が形成される。1次ロウアドレスデコーダRDCR1の選択動作は、指定されたロウアドレスと不良アドレスが一致した場合に冗長アドレス切り換え回路RACから供給されるハイレベルのタイミング信号 ϕ_{rx} によって

禁止される。

ロウアドレス系の選択回路を以上のような2段構成とすることで、2次ロウアドレスデコーダRDCR2の単位回路のレイアウトピッチ（間隔）とワード線のレイアウトピッチとを合わせることができ、半導体基板上のレイアウトを効率的なものとする事ができる。

ロウアドレスバッファRADBは、アドレスマルチプレクサAMXから供給されるロウアドレス信号を受け、それを保持するとともに、相補内部アドレス信号 $\bar{a} \times 0 \sim \bar{a} \times 1$ を形成して、1次ロウアドレスデコーダRDCR1、2次ロウアドレスデコーダRDCR2及び冗長アドレス切り換え回路RACに供給する。

前述のように、この実施例のダイナミック型RAMでは、メモセルの記憶データを所定の周期内に読み出し、再書き込みするための自動リフレッシュモードが設けられ、この自動リフレッシュモードにおいてリフレッシュすべきワード線を指定するためのリフレッシュアドレスカウンタRE

FCが設けられる。アドレスマルチプレクサAMXは、タイミング制御回路TCから供給されるタイミング信号 ϕ_{ref} がロウレベルとされる通常のメモリアクセスモードにおいて、外部端子A0～A1を介して外部の装置から供給されるXアドレス信号AX0～AX1を選択し、ロウアドレスバッファRADBに伝達する。また、タイミング信号 ϕ_{ref} がハイレベルとされる自動リフレッシュモードにおいて、リフレッシュアドレスカウンタREFCから出力されるリフレッシュアドレス信号 $c \times 0 \sim c \times 1$ を選択し、ロウアドレスバッファRADBに伝達する。

Xアドレス信号AX0～AX1は、外部から制御信号として供給されるロウアドレスストローブ信号RASの立ち下がりに同期して供給されるため、ロウアドレスバッファRADBによるロウアドレス信号の取り込みは、タイミング制御回路TCによってロウアドレスストローブ信号RASの立ち下がりを検出して形成されるタイミング信号 ϕ_{ar} に従って行われる。

リフレッシュアドレスカウンタREFCは、ダイナミック型RAMの自動リフレッシュ動作モードにおいて動作し、タイミング制御回路TCから供給されるタイミング信号 ϕ_c を計数して、リフレッシュすべきワード線を指定するためのリフレッシュアドレス信号 $c \times 0 \sim c \times 1$ を形成し、アドレスマルチプレクサAMXに供給する。

カラムアドレスバッファCADBは、アドレス信号入力端子A0～A1を介して、カラムアドレスストローブ信号CASの立ち下がりに同期して供給されるYアドレス信号AY0～AY1を、タイミング制御回路TCにおいてカラムアドレスストローブ信号CASの立ち下がりを検出して形成されるタイミング信号 ϕ_{ac} に従って取り込む。カラムアドレスバッファCADBは、これらのYアドレス信号AY0～AY1により相補内部アドレス信号 $\bar{a} \times 0 \sim \bar{a} \times 1$ を形成し、カラムアドレスデコーダCDCR及び冗長アドレス切り換え回路RACに供給する。カラムアドレスデコーダCDCRによる相補データ線D0、 $\bar{D}0 \sim Dn$ 、 $\bar{D}n$

の選択動作は、指定されたカラムアドレスと不良アドレスが一致した場合に冗長アドレス切り換え回路RACから供給されるタイミング信号 ϕ_{ry} によって禁止される。

カラムアドレスデコードCDCRは、上記カラムアドレスバッファCADBから供給される相補内部アドレス信号 $\underline{a}y0 \sim \underline{a}y1$ をデコードし、タイミング制御回路TCから供給されるデータ線選択タイミング信号 ϕ_y に同期したデータ線選択信号 $Y0 \sim Yn$ を形成し、カラムスイッチCSWの対応するスイッチMOSFETに供給する。

カラムアドレスに指定される相補データ線がカラムスイッチCSWによって選択的に接続される共通相補データ線 $CD \cdot \overline{CD}$ は、メインアンプMAの入力端子に結合されるとともに、データ入力バッファDIBの出力端子に結合される。メインアンプMAの出力端子は、さらにデータ出力バッファDOBの入力端子に結合される。

メインアンプMAは、タイミング制御回路TCから供給されるタイミング信号 ϕ_{sa} によって動作

状態とされ、選択されたメモリセルから相補共通データ線 $CD \cdot \overline{CD}$ を介して入力される2値読み出し信号をさらに増幅し、データ出力バッファDOBに送る。

データ出力バッファDOBは、ダイナミック型RAMの読み出し動作モードにおいて、タイミング制御回路TCから供給されるタイミング信号 ϕ_r により動作状態とされ、上記メインアンプMAから出力される読み出しデータをデータ出力端子Doutから送出する。ダイナミック型RAMの非動作状態及び書き込み動作モードにおいて、データ出力バッファDOBの出力はハイインピーダンス状態とされる。

データ入力バッファDIBは、ダイナミック型RAMの書き込み動作モードにおいて、タイミング制御回路TCから供給されるタイミング信号 ϕ_w により動作状態とされ、データ入力端子Dinを介して入力される書き込みデータを相補書き込み信号とし、相補共通データ線 $CD \cdot \overline{CD}$ から選択されたメモリセルに供給する。ダイナミック型R

AMの非動作状態及び読み出し動作モードにおいて、データ入力バッファDIBの出力はハイインピーダンス状態とされる。

冗長アドレス切り換え回路RACは、後述するように、それぞれ対応する不良アドレス記憶回路ROM0～ROM3、アドレス比較回路AC0～AC3、予備ワード線Wr0～Wr3及び予備相補データ線Dr0・ $\overline{Dr0} \sim Dr3 \cdot \overline{Dr3}$ に対応して設けられる予備ワード線駆動回路RWD0～RWD3及び予備データ線選択回路RDS0～RDS3とからなる4組の単位回路URAC0～URAC3により構成される。予備ワード線駆動回路RWD0～RWD3の出力端子は、メモリアレイの予備ワード線Wr0～Wr3にそれぞれ結合され、予備データ線選択回路RDS0～RDS3の出力信号は、予備データ線選択信号Yr0～Yr3として、カラムスイッチCSWの対応するスイッチMOSFETにそれぞれ供給される。

冗長アドレス切り換え回路RACの各単位回路は、対応する予備ワード線Wr0～Wr3又は予

備相補データ線Dr0・ $\overline{Dr0} \sim Dr3 \cdot \overline{Dr3}$ のいずれかに選択的に割り当てられる。これらの単位回路が予備ワード線又は予備相補データ線のいずれに割り当てられたかは、それぞれの単位回路の不良アドレス記憶回路の所定のビットにより記憶される。各単位回路の不良アドレス記憶回路は、その所定ビットの記憶データにより、内部選択信号 $x/\overline{y}0 \sim x/\overline{y}3$ を形成する。各単位回路のアドレス比較回路は、対応する上記内部選択信号 $x/\overline{y}0 \sim x/\overline{y}3$ に従って、相補内部アドレス信号 $\underline{a}x0 \sim \underline{a}x1$ 又は相補内部アドレス信号 $\underline{a}y0 \sim \underline{a}y1$ と不良アドレス記憶回路から供給される不良アドレスとを選択的に比較する。また、単位回路の予備ワード線駆動回路及び予備データ線選択回路は、上記内部選択信号 $x/\overline{y}0 \sim x/\overline{y}3$ に従ってどちらか一方のみが動作状態とされ、対応するアドレス比較回路から出力されるアドレス一致信号に従って対応する予備ワード線又は予備相補データ線を選択状態とする。

冗長アドレス切り換え回路RACにより、予備

ワード線 $W r 0 \sim W r 3$ 又は予備相補データ線 $D r 0 \cdot \overline{D r 0} \sim D r 3 \cdot \overline{D r 3}$ のいずれかひとつが選択状態とされた場合、タイミング信号 $\phi r x$ 又は $\phi r y$ がハイレベルとされ、1次ロウアドレスデコード $R D C R 1$ 又はカラムアドレスデコード $C D C R$ による通常の選択動作は禁止される。また、冗長アドレス切り換え回路 $R A C$ のアドレス比較回路 $A C 0 \sim A C 3$ によるアドレス比較動作は、冗長イネーブル回路 $R E N$ から供給される内部制御信号 $r e$ がハイレベルとされることによって禁止される。

冗長アドレス切り換え回路 $R A C$ の具体的な構成とその動作の概要については、後で詳細に説明する。

冗長イネーブル回路 $R E N$ は、ヒューズ手段を用いた図示されない記憶回路と、この記憶回路の出力信号によってセットされるフリップフロップとにより構成される。冗長イネーブル回路 $R E N$ の記憶回路を構成するヒューズ手段は、冗長アドレス切り換え回路 $R A C$ の単位回路がひとつでも

使用状態とされ対応する不良アドレス記憶回路に不良アドレスの書き込みが行われことによって、自動的に切断される。これにより、冗長イネーブル回路 $R E N$ の記憶回路は、このダイナミック型 $R A M$ のメモリアレイに欠陥メモリセルが検出され、その不良アドレスが冗長アドレス切り換え回路 $R A C$ に登録されたことを記憶し、表示するものとなる。このヒューズ手段が切断されることにより、冗長イネーブル回路 $R E N$ のフリップフロップがセット状態とされ、その出力信号はハイレベルとなる。このフリップフロップの出力信号は、内部制御信号 $r e$ として、冗長アドレス切り換え回路 $R A C$ 及びタイミング制御回路 $T C$ に供給される。

タイミング制御回路 $T C$ は、外部から制御信号として供給されるロウアドレスストローブ信号 $\overline{R A S}$ 、カラムアドレスストローブ信号 $\overline{C A S}$ 及びライトイネーブル信号 $\overline{W E}$ によって上記各種のタイミング信号を形成し、各回路に供給する。これらのタイミング信号のうちのいくつかは、上記冗

長イネーブル回路 $R E N$ から供給される内部制御信号 $r e$ がハイレベルとされることによって、所定の時間遅延されて形成される。内部制御信号 $r e$ がロウレベルである場合、すなわちこのダイナミック型 $R A M$ のメモリアレイに欠陥メモリセルが検出されない場合、これらのタイミング信号は遅延されることなく形成され、動作の高速化が図られる。

第1図には、第2図のダイナミック型 $R A M$ の冗長アドレス切り換え回路 $R A C$ の一実施例の回路ブロック図が示されている。

第1図において、冗長アドレス切り換え回路 $R A C$ は、4組の単位回路 $U R A C 0 \sim U R A C 3$ 及びオアゲート回路 $O O 1$ 、 $O O 2$ により構成される。単位回路 $U R A C 0$ は、不良アドレス記憶回路 $R O M 0$ 、アドレス比較回路 $A C 0$ 、予備ワード線駆動回路 $R W D 0$ 及び予備データ線選択回路 $R D S 0$ をその主な構成要素とする。同様に、単位回路 $U R A C 1 \sim U R A C 3$ は、それぞれ対応する不良アドレス記憶回路 $R O M 1 \sim R O M 3$ 、

アドレス比較回路 $A C 1 \sim A C 3$ 、予備ワード線駆動回路 $R W D 1 \sim R W D 3$ 及び予備データ線選択回路 $R D S 1 \sim R D S 3$ をその主な構成要素とする。

第1図では、冗長アドレス切り換え回路 $R A C$ の機能を理解しやすく説明するために、アドレス比較回路 $A C 0 \sim A C 3$ に含まれるアドレス選択回路 $A S 0 \sim A S 3$ を別個の回路ブロックとして示し、また予備ワード線駆動回路 $R W D 0 \sim R W D 3$ 及び予備データ線選択回路 $R D S 0 \sim R D S 3$ に含まれるアンドゲート回路 $A O 1 \sim A O 8$ を別個の回路素子として示している。

冗長アドレス切り換え回路 $R A C$ の各単位回路の不良アドレス記憶回路 $R O M 0 \sim R O M 3$ は、相補内部アドレス信号 $a x 0 \sim a x i$ にそれぞれ対応して設けられる $i+1$ ビットの記憶素子と、その単位回路が予備ワード線及び予備相補データ線のいずれに割り当てられたかを示すための1ビットのワード線・データ線選択用記憶素子により構成される。ワード線・データ線選択用記憶素子

の出力信号は、内部選択信号 $x/\bar{y}0 \sim x/\bar{y}3$ とされる。これらの記憶素子は、例えば電氣的に切断されるヒューズ手段により構成され、このヒューズ手段が切断されない初期の状態において、各記憶素子の対応する出力信号はロウレベルとされる。ダイナミック型RAMのウェーハ試験の段階で欠陥メモリセルが検出された場合、図示されない切断用のパッドを介して、欠陥メモリセルが結合される欠陥ワード線又は欠陥データ線のアドレスのうち論理“1”のビットに対応する記憶素子に切断電流が供給され、そのヒューズ手段が切断される。これにより、その記憶素子に対応するROMの出力信号は、ハイレベルとされる。また、登録された不良アドレスがワード線又は相補データ線のいずれに対応するものであるかを示すために、ワード線・データ線選択用記憶素子が選択的に切断される。すなわち、登録された不良アドレスが相補データ線に対応するものであると、ワード線・データ線選択用記憶素子は切断されず、登録された不良アドレスがワード線に対応するもの

であると、ワード線・データ線選択用記憶素子は切断される。これにより、内部選択信号 $x/\bar{y}0 \sim x/\bar{y}3$ は対応する単位回路に欠陥ワード線のアドレスが登録された場合にハイレベルとされ、欠陥データ線のアドレスが登録された場合にロウレベルとされる。

不良アドレス記憶回路ROM0～ROM3から出力される不良アドレス信号は、対応するアドレス比較回路AC0～AC3の対応するビットの一方の入力端子にそれぞれ供給される。不良アドレス記憶回路ROM0～ROM3から出力される内部選択信号 $x/\bar{y}0 \sim x/\bar{y}3$ は、対応するアドレス選択回路AS0～AS3に供給されるとともに、対応するアンドゲート回路AG1、AG3、AG5又はAG7の一方の入力端子に供給される。また、これらの内部選択信号 $x/\bar{y}0 \sim x/\bar{y}3$ の反転信号が、対応するアンドゲート回路AG2、AG4、AG6又はAG8の一方の入力端子に供給される。

アドレス選択回路AS0～AS3の一方の入力

端子には、ロウアドレスバッファRADBから相補内部アドレス信号 $\bar{a}x0 \sim \bar{a}x1$ が共通に供給される。また、これらのアドレス選択回路AS0～AS3の他方の入力端子には、カラムアドレスバッファCADBから相補内部アドレス信号 $\bar{a}y0 \sim \bar{a}y1$ が共通に供給される。

アドレス選択回路AS0～AS3は、対応する不良アドレス記憶回路ROM0～ROM3から供給される内部選択信号 $x/\bar{y}0 \sim x/\bar{y}3$ に従って、相補内部アドレス信号 $\bar{a}x0 \sim \bar{a}x1$ 又は $\bar{a}y0 \sim \bar{a}y1$ を選択し、アドレス比較回路AC0～AC3の対応するビットの他方の入力端子にそれぞれ供給する。

アドレス比較回路AC0～AC3は、冗長イネーブル回路RENから供給される内部制御信号 r がハイレベルであると、対応する不良アドレス記憶回路ROM0～ROM3から供給される不良アドレスと対応するアドレス選択回路AS0～AS3から供給される相補内部アドレス信号 $\bar{a}x0 \sim \bar{a}x1$ 又は $\bar{a}y0 \sim \bar{a}y1$ をビットごとに比較

する。アドレス比較回路AC0～AC3の出力信号 $a_m0 \sim a_m3$ は、通常ロウレベルとされ、両入力端子に供給されるアドレス信号が全ビット一致すると、ハイレベルとされる。冗長イネーブル回路RENから供給される内部制御信号 r がロウレベルである場合、すなわちこのダイナミック型RAMに欠陥メモリセルが検出されない場合、アドレス比較回路AC0～AC3によるアドレス比較動作は禁止される。これにより、不良アドレスが初期の状態ですなわち全ビット論理“0”であるためにアドレス“0”が固定的に欠陥状態となることを防止することができる。

アドレス比較回路AC0～AC3の出力信号 $a_m0 \sim a_m3$ は、対応するアンドゲート回路AG1・AG2～AG7・AG8の他方の入力端子にそれぞれ供給される。これらのアンドゲート回路AG1～AG8の一方の入力端子には、前述のように、対応する内部選択信号 $x/\bar{y}0 \sim x/\bar{y}3$ 又はその反転信号がそれぞれ供給される。

アンドゲート回路AG1、AG3、AG5及び

AG7の出力信号 $m \times 0 \sim m \times 3$ は、それぞれ対応する予備ワード線駆動回路RWD0～RWD3に供給されるとともに、オアゲート回路OG1の第1～第4の入力端子に供給される。また、アンドゲート回路AG2、AG4、AG6及びAG8の出力信号 $m \times 0 \sim m \times 3$ は、それぞれ対応する予備データ線選択回路RDS0～RDS3に供給されるとともに、オアゲート回路OG2の第1～第4の入力端子に供給される。

予備ワード線駆動回路RWD0～RWD3は、対応するアンドゲート回路の出力信号 $m \times 0 \sim m \times 3$ に従って、対応する予備ワード線 $W \times 0 \sim W \times 3$ を選択状態とする。すなわち、予備ワード線駆動回路RWD0～RWD3は、対応するアンドゲート回路の出力信号 $m \times 0 \sim m \times 3$ がハイレベルになると、対応する予備ワード線 $W \times 0 \sim W \times 3$ をハイレベルの選択状態とする。これらのアンドゲート回路の出力信号 $m \times 0 \sim m \times 3$ がロウレベルの場合、予備ワード線 $W \times 0 \sim W \times 3$ はロウレベルの非選択状態とされる。

R1に供給される。オアゲート回路OG1の出力信号すなわちタイミング信号 ϕ_{rx} は、アンドゲート回路AG1、AG3、AG5及びAG7の出力信号 $m \times 0 \sim m \times 3$ のいずれか一つがハイレベルとなり予備ワード線 $W \times 0 \sim W \times 3$ のいずれかが選択状態とされた場合に、ハイレベルとなる。このタイミング信号 ϕ_{rx} のハイレベルにより、1次ロウアドレスデコードRDCR1によるワード線の通常の選択動作は禁止され、予備ワード線 $W \times 0 \sim W \times 3$ への切り換えが行われる。

一方、オアゲート回路OG2の第1～第4の入力端子には、前述のように、アンドゲート回路AG2、AG4、AG6及びAG8の出力信号 $m \times 0 \sim m \times 3$ が供給され、その出力信号は、タイミング信号 ϕ_{ry} として、カラムアドレスデコードCDCRに供給される。オアゲート回路OG2の出力信号すなわちタイミング信号 ϕ_{ry} は、アンドゲート回路AG2、AG4、AG6及びAG8の出力信号 $m \times 0 \sim m \times 3$ のいずれか一つがハイレベルとなり予備相補データ線 $D \times 0 \cdot \overline{D \times 0} \sim D \times$

予備データ線選択回路RDS0～RDS3は、対応するアンドゲート回路の出力信号 $m \times 0 \sim m \times 3$ に従って、対応する予備相補データ線 $D \times 0 \cdot \overline{D \times 0} \sim D \times 3 \cdot \overline{D \times 3}$ を選択するための予備データ線選択信号 $Y \times 0 \sim Y \times 3$ を形成し、カラムスイッチCSWの対応するスイッチMOSFET対に供給する。すなわち、予備データ線選択回路RDS0～RDS3は、対応するアンドゲート回路の出力信号 $m \times 0 \sim m \times 3$ がハイレベルになると、対応する予備データ線選択信号 $Y \times 0 \sim Y \times 3$ をハイレベルとする。これらのアンドゲート回路の出力信号 $m \times 0 \sim m \times 3$ がロウレベルの場合、予備データ線選択信号 $Y \times 0 \sim Y \times 3$ はロウレベルとされ、予備相補データ線 $D \times 0 \cdot \overline{D \times 0} \sim D \times 3 \cdot \overline{D \times 3}$ は非選択状態とされる。

オアゲート回路OG1の第1～第4の入力端子には、前述のように、アンドゲート回路AG1、AG3、AG5及びAG7の出力信号 $m \times 0 \sim m \times 3$ が供給され、その出力信号は、タイミング信号 ϕ_{rx} として、1次ロウアドレスデコードRDC

$3 \cdot \overline{D \times 3}$ のいずれかが選択状態とされた場合に、ハイレベルとなる。このタイミング信号 ϕ_{ry} のハイレベルにより、カラムアドレスデコードCDCRによる相補データ線の通常の選択動作は禁止され、予備相補データ線 $D \times 0 \cdot \overline{D \times 0} \sim D \times 3 \cdot \overline{D \times 3}$ への切り換えが行われる。

以上のように、この実施例のダイナミック型RAMの冗長アドレス切り換え回路RACには4組の単位回路URAC0～URAC3が設けられ、また、そのメモリアレイには同数の予備ワード線 $W \times 0 \sim W \times 3$ 及び予備相補データ線 $D \times 0 \cdot \overline{D \times 0} \sim D \times 3 \cdot \overline{D \times 3}$ が設けられる。これらの単位回路URAC0～URAC3は、欠陥メモリの検出状況に応じて、予備ワード線又は予備データ線のいずれにも割り当てることができる。このため、ダイナミック型RAMの欠陥発生がワード線又はデータ線の一方に偏った場合でも、冗長アドレス切り換え回路RACの4組の単位回路URAC0～URAC3を無駄なく利用することができる。すなわち、第3図に示すように、例えば

冗長アドレス切り換え回路RACに4組の単位回路が設けられ、それぞれが2本の予備ワード線と2本の予備データ線に固定的に割り当てられるような場合、欠陥救済できるのは次表に△印で示される8つのケースに過ぎない。しかし、この実施例のダイナミック型RAMの場合、上記8つのケースの他次表に○印で示される6つのケースの欠陥救済が可能となる。したがって、単純計算をした場合、この実施例のダイナミック型RAMの欠

		欠陥ワード線数				
		4	3	2	1	0
欠陥データ線数	4					○
	3				○	○
	2			△	△	△
	1		○	△	△	△
	0	○	○	△	△	—

陥救済率は第3図の場合に比較して1.75倍となるが、欠陥ワード線又は欠陥データ線が3～4組発生する確率が比較的高い場合、製品歩留りはそ

れ以上に改善されるものとなる。

以上の本実施例に示されるように、この発明を予備メモリアレイを有するダイナミック型RAM等の半導体記憶装置に適用することにより、次のような効果が得られる。すなわち、

(1)不良アドレス記憶回路、アドレス比較回路及び予備メモリアレイ駆動回路を含む冗長アドレス切り換え回路の単位回路を、それぞれの不良アドレス記憶回路の所定のビットに従って、予備ワード線用又は予備データ線用として選択的に用いることができるようにすることで、冗長アドレス切り換え回路の単位回路を、予備ワード線又は予備データ線の両方に対して切り換え利用することができるという効果が得られる。

(2)上記(1)項により、比較的増設しやすい予備ワード線及び予備データ線を冗長アドレス切り換え回路の単位回路と同数ずつ設けることで、設置数が制限される冗長アドレス切り換え回路の単位回路を無駄なく用いることができるという効果が得られる。

(3)上記(1)項及び(2)項により、ダイナミック型RAM等の半導体記憶装置の欠陥救済率を向上することができるとともに、その製品歩留りを向上することができるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、予備ワード線及び予備データ線の設置数は、4以外の数であってもよいし、必ずしも予備ワード線及び予備データ線の設置数と冗長アドレス切り換え回路RACの単位回路の設置数とを一致させる必要はない。また、第1図の冗長アドレス切り換え回路RACでは、各アドレス比較回路AC0～AC3にアドレス選択回路AS0～AS3を設けることで、ロウアドレス信号又はカラムアドレス信号を選択しているが、ロウアドレス信号とカラムアドレス信号を時分割して伝達するマルチプレクス方式のアドレスバスを設け、アドレス比較動作を行うタイミングを内部返沢信

号 $x/\overline{A}0 \sim x/\overline{A}3$ によって制御することで、ロウアドレス信号又はカラムアドレス信号を選択するようにしてもよい。冗長アドレス切り換え回路の不良アドレス記憶回路ROM0～ROM3及び冗長イネーブル回路RENの記憶素子は、ヒューズ手段を用いるものでなく、例えばレーザ光線等によって特定の配線を切断するようなものであってもよい。また、冗長イネーブル回路RENは設けられなくてもよいし、冗長アドレス切り換え回路RACは、例えばアドレス比較回路AC0～AC3の出力信号を所定の外部端子から出力するアドレスロールコール機能等を持たせてもよい。さらに、第1図の冗長アドレス切り換え回路RACの具体的な構成は、この実施例に制限されないし、第2図のダイナミック型RAMのブロック構成は、例えばメモリアレイを複数のメモリアレイにより構成したり、記憶データの書き込み・読み出しを複数ビットの単位で行わせるようにする等、種々の実施形態を採りうる。

以上の説明では主として本願発明者等によって

なされた発明をその背景となった利用分野であるダイナミック型RAMに適用した場合について説明したが、それに限定されるものではなく、例えば、スタティック型RAM等の各種の半導体記憶装置にも適用できる。本発明は、少なくとも予備メモリアレイを有し冗長アドレス切り換え機能を有する半導体記憶装置に広く適用できる。

(発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。すなわち、不良アドレス記憶回路、アドレス比較回路及び予備メモリアレイ駆動回路を含む冗長アドレス切り換え回路の単位回路を、それぞれの不良アドレス記憶回路の所定のビットに従って、予備ワード線用又は予備データ線用として選択的に用いることができるようにすることで、冗長アドレス切り換え回路の単位回路を、予備ワード線又は予備データ線の両方に対して切り換え利用して無駄なく用いることができ、ダイナミック型RAM等の半導体記憶装置の欠陥

低減率及びその製品歩留りを向上することができるものである。

4. 図面の簡単な説明

第1図は、この発明が適用されたダイナミック型RAMの冗長アドレス切り換え回路の一実施例を示す回路ブロック図、

第2図は、第1図の冗長アドレス切り換え回路を含むダイナミック型RAMの一実施例を示すブロック図、

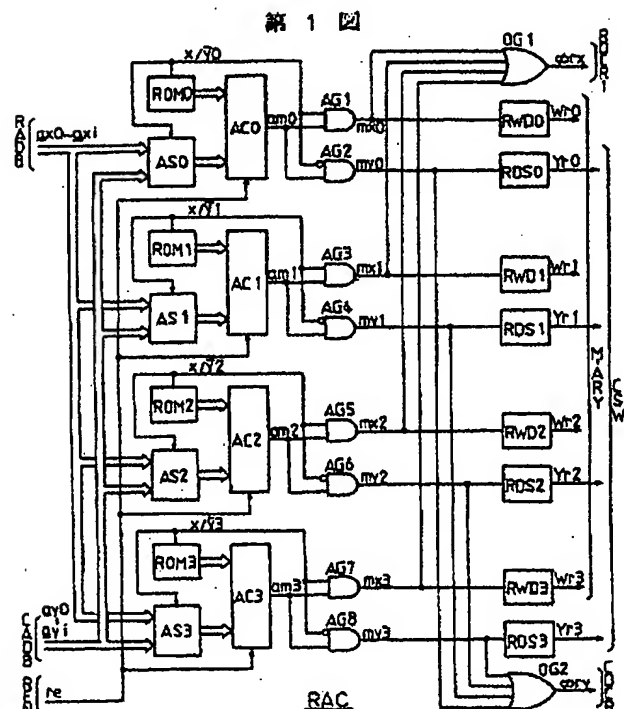
第3図は、従来のダイナミック型RAMの冗長アドレス切り換え回路RACの一例を示す回路ブロック図である。

RAC・・・冗長アドレス切り換え回路、ROM0～ROM3・・・不良アドレス記憶回路、AS0～AS3・・・アドレス選択回路、AC0～AC3・・・アドレス比較回路、RWD0～RWD3・・・予備ワード線駆動回路、RDS0～RDS3・・・予備データ線選択回路、AG1～AG8・・・アンドゲート回路、OG1、OG2・・・オアゲート回路。

M-ARY・・・メモリアレイ、P.C・・・プリチャージ回路、SA・・・センスアンプ、US A・・・センスアンプ単位回路、CSW・・・カラムスイッチ、RDCR1・・・1次ロウアドレスデコード、RDCR2・・・2次ロウアドレスデコード、CDCR・・・カラムアドレスデコード、KAUB・・・ロウアドレスバッファ、AMX・・・アドレスマルチプレクサ、CADB・・・カラムアドレスバッファ、MA・・・メインアンプ、DOB・・・データ出力バッファ、DIB・・・データ入力バッファ、RBF C・・・リフレッシュカウンタ、REN・・・冗長イネーブル回路、TTC・・・タイミング制御回路、

Cs・・・情報蓄積用キャパシタ、Q_m・・・アドレス選択MOSFET、Q₁～Q₄・・・PチャンネルMOSFET、Q₅～Q₁₇・・・NチャンネルMOSFET。

代理人弁理士 小川 勝男



第 3 図

